

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-223747

(43)Date of publication of application : 21.08.1998

(51)Int.Cl.

H01L 21/76

(21)Application number : 09-023605

(71)Applicant : NEC CORP

(22)Date of filing : 06.02.1997

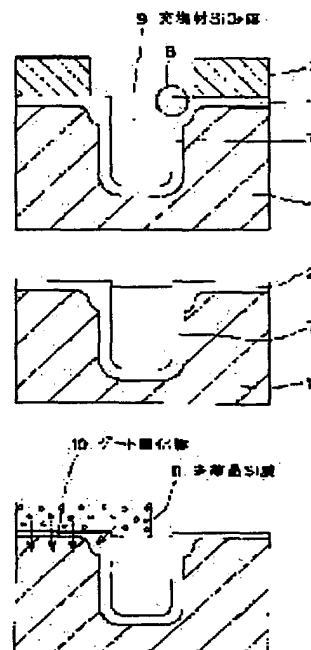
(72)Inventor : NODA KENJI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a semiconductor device which is kept free from kinks in characteristics and parasitic effects such as the inverse short-channel effect and the like by a method wherein an electrical field is prevented from concentrating on the corner of a groove even if the surface of filler filled in an element isolation groove becomes lower than that of a substrate.

SOLUTION: An SiO₂ film 2 and an Si nitride film 3 are formed on a silicon substrate 1, and the Si nitride film 3 is patterned. A side wall spacer (not shown) is formed on the side of the Si nitride film 3, and an element isolation groove is provided using the side wall spacer and the Si nitride film 3 as a mask. After the side wall spacer is removed, an SiO₂ film 7 is formed on the inner wall of the element isolation groove by thermal oxidation. An SiO₂ film of filler is deposited and then etched back, whereby the element isolation groove is filled up with the filler (g). The Si nitride film 3 is removed (h). The SiO₂ film 2 is removed, a gate oxide film 10 is formed, and then a gate electrode of polycrystalline Si film 11 is formed (i).



LEGAL STATUS

[Date of request for examination] 06.02.1997

[Date of sending the examiner's decision of rejection] 28.06.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-223747

(43) 公開日 平成10年(1998) 8月21日

(51) Int.Cl.⁹

H 0 1 L 21/76

識別記号

F I

H 0 1 L 21/76

N

審査請求 有 請求項の数 6 O L (全 11 頁)

(21) 出願番号 特願平9-23605

(22) 出願日 平成9年(1997) 2月6日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 野田 研二

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 尾身 祐助

(54) 【発明の名称】 半導体装置の製造方法

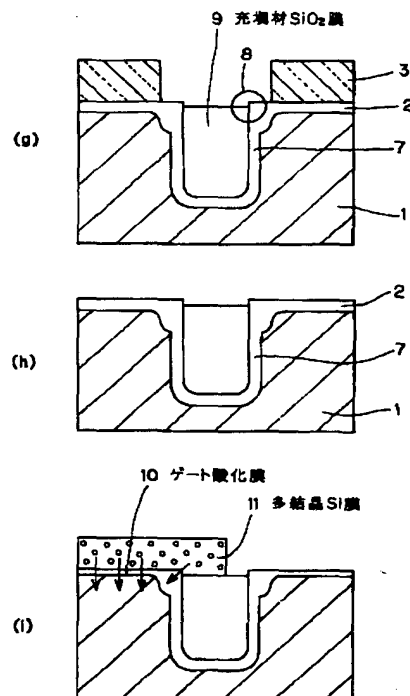
(57) 【要約】

【目的】 素子分離溝を充填する充填材の表面が基板表面より低くなっても、溝コーナー部での電界集中が発生しないようにして特性のキンクや逆短チャネル効果などの寄生効果が発生することのないようにする。

【構成】 シリコン基板1上にSiO₂膜2、窒化Si膜3を形成し、窒化Si膜をパターニングする。窒化Si膜3の側面に側壁スペーサ(図示なし)を形成し、この側壁スペーサと窒化Si膜3をマスクとして素子分離溝を開く。側壁スペーサ除去した後、熱酸化を行って素子分離溝内壁にSiO₂膜7を形成する。充填材SiO₂膜を堆積しエッチバックして素子分離溝内を充填材により埋め込む(g)。窒化Si膜3を除去する

(h)。SiO₂膜2を除去しゲート酸化膜10を形成し多結晶Si膜11からなるゲート電極を形成する

(i)。



【特許請求の範囲】

【請求項1】 (1) シリコン基板上にパッド酸化膜を介して耐酸化性膜を形成し、素子分離領域を形成する領域の前記耐酸化性膜をエッチング除去して素子分離溝形成用開口を形成する工程と、

(2) スペーサ形成材料を堆積し異方性エッチングを行って前記素子分離溝形成用開口の側面にサイドウォール・スペーサを形成する工程と、

(3) 前記耐酸化性膜および前記サイドウォール・スペーサをマスクとして前記シリコン基板を異方性エッチングによりエッチングして素子分離用溝を形成する工程と、

(4) 熱酸化を行って前記素子分離用溝の内壁表面にシリコン酸化膜を形成する工程と、

(5) 充填材を堆積し前記素子分離用溝内部以外の充填材を除去することにより前記素子分離用溝内部を充填材により埋め込む工程と、

(6) 前記耐酸化性膜をエッチング除去する工程と、を有し、この順で若しくは前記第(5)の工程と前記第(6)の工程との順序を入れ替えて行うことを特徴とする半導体装置の製造方法。

【請求項2】 前記第(2)の工程の後前記第(3)の工程に先立って、前記耐酸化性膜および前記サイドウォール・スペーサをマスクとして前記シリコン基板を等方性エッチングにより前記シリコン基板を所定の深さまでエッチングする工程が付加されることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記第(4)の工程において、溝開口エッジ部に形成される酸化膜の外表面が丸くなる条件で熱酸化が行われることを特徴とする請求項1または2記載の半導体装置の製造方法。

【請求項4】 前記第(3)の工程の後前記第(4)の工程に先立って、前記サイドウォール・スペーサ、または、前記サイドウォール・スペーサおよびその下のパッド酸化膜をエッチング除去する工程が付加されることを特徴とする請求項1または2記載の半導体装置の製造方法。

【請求項5】 前記スペーサ形成材料、および／または、前記充填材が多結晶シリコンまたは酸化シリコンであることを特徴とする請求項1または2記載の半導体装置の製造方法。

【請求項6】 前記耐酸化性膜が窒化シリコン膜であることを特徴とする請求項1または2記載の半導体装置の製造方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、半導体装置の製造方法に関し、特に溝型の素子分離領域を有する半導体装置の製造方法に関する。

【0002】

【従来の技術】 近年、半導体集積回路の微細化に伴い、素子分離領域の幅の縮小が要請されており、これに対応する方法として、LOCOS法による素子分離と異なっており、バースビークが実質的に存在しない溝型素子分離方式が採用されるようになってきている。

〔第1の従来例〕図8および図9は、従来の溝型素子分離領域の形成方法を示す工程順の断面図である。まず、図8(a)に示すように、シリコン基板41上に例えば SiO_2 膜42を10nm程度の膜厚に熱酸化法によって形成し、その上に、窒化 Si 膜43を100nm程度の膜厚にCVD法などによって堆積する。次に、写真蝕刻法などを用いて窒化 Si 膜43を所定の形状にパターニングする。

【0003】次に、図8(b)に示すように、窒化 Si 膜43をマスクとして、 SiO_2 膜42とシリコン基板41を異方性エッチングを用いて、例えば300nm程度掘り下げ、素子分離溝44を形成する。次に、図8(c)に示すように、熱酸化により素子分離溝44内壁に SiO_2 膜45を形成する。このときの熱酸化の条件を適切に選択すれば、溝開口エッジ部46の SiO_2 膜45の外周部を丸めることができる。次に、図9(d)に示すように、全面に充填材 SiO_2 膜47を例えば1 μm 程度の膜厚に堆積して、素子分離溝44内を充填材 SiO_2 膜47で完全に埋設した後、充填材 SiO_2 膜47を異方性エッチングによりエッチバックする。次に、図9(e)に示すように、窒化 Si 膜43を除去することによって、最終的に溝型素子分離部が形成される。

【0004】次に、図9(f)に示すように、MOSFETのしきい値を合わせ込むためのイオン注入工程を経た後に、一旦、表面に露出した SiO_2 膜42を除去して、ゲート酸化膜48を熱酸化によって例えば10nm程度の膜厚に形成する。そして、ゲート電極となるべき多結晶 Si 膜49を例えば200nm程度の膜厚に堆積した後、所定の形状にパターニングする。さて、以上のような工程により形成された溝型素子分離領域では、通常、図9(d)に示した工程でのエッチバック工程に対してプロセス的なマージンを見込むために、所定のオーバーエッチングが必要となる。結果として、図9(f)に示すように、素子分離溝を埋め込んだ充填材 SiO_2 膜47の表面が、シリコン基板表面に比べて若干落ち込んだ形状となる。

【0005】このため、図9(f)に示すように、溝開口エッジ部46のシリコン基板エッジに電界が集中してしまうため、この部分に他のチャネル領域よりもしきい値電圧の低い寄生トランジスタが形成される。その結果、図10に示すような、MOSFETの $I_D - V_G$ 特性にキंकと呼ばれる異常特性を引き起こすことがある。また、図8(c)に示したように、溝開口エッジ部の丸め酸化を最適化することにより、キंक特性の発生

を一定程度抑えることは可能であるが、同じ原因で起こる逆狭チャネル効果、すなわち図11に示すようなチャネル幅を小さくするに従ってしきい値電圧が下がる効果を防ぐことは困難である。

【0006】〔第2の従来例〕この種の寄生効果を防ぐ方法が（IEDM Technical Digest, pp. 679-682, 1995）に記載されている。この方法によれば、上記プロセスの図9（d）に示した充填材SiO₂膜47を異方性エッチングなどでエッチバックする工程において、充填材SiO₂膜47の表面が、シリコン基板41の表面と窒化Si膜43の表面の間に来た時点で充填材SiO₂膜47の除去を完了している。その工程を図12を参照して説明する。なお、図12において、第1の従来例と同等の部分には下1桁が共通する参照番号が付せられている。この従来技術では、図12（a）に示すように、充填材SiO₂膜57を化学的機械研磨（CMP）法などで研磨するが、充填材SiO₂膜57の表面が、シリコン基板51の表面と窒化Si膜53の表面の間に来た時点で研磨をストップする。

【0007】次に、図12（b）に示すように、窒化Si膜53を除去することによって、最終的に溝型素子分離領域が形成される。最後に、図12（c）に示すように、MOSFETのしきい値を合わせ込むためのイオン注入工程を経た後に、一旦、表面に露出したSiO₂膜52を除去して、ゲート酸化膜58を熱酸化化によって例えば10nm程度の膜厚に形成する。そして、ゲート電極となるべき多結晶Si膜59を例えば200nm程度堆積した後、所定の形状にパターニングする。

【0008】〔第3の従来例〕特開平7-193121にも、キルク特性等の寄生効果を防ぐ方法が記載されている。図13から図15を参照して、この製造方法について説明する。まず、図13（a）に示すように、シリコン基板61上に、例えば熱酸化法によってSiO₂膜62を10nm程度形成し、その上に多結晶Si膜63を200nm程度CVD法によって堆積する。更に、その上にCVD法を用いてSiO₂膜64を200nm程度堆積する。そして、レジスト膜65を塗布しこれを所定の形状にパターニングする。次に、図13（b）に示すように、SiO₂膜64と多結晶Si膜63をレジスト膜65をマスクとして、順次異方性エッチングによって加工した後、レジスト膜65を剥離する。その後、この構造に対して等方的なエッチングを用いて多結晶Si膜63を例えば100nm程度後退させて、後退部66を形成する。

【0009】次に、図13（c）に示すように、SiO₂膜62を除去して、シリコン基板61を溝型素子分離部として必要になる所定の深さ、例えば500nm程度をエッチング除去することにより、素子分離溝67を形成する。次に、図14（d）に示すように、SiO₂膜

64をNH₄F溶液などによって除去した後、熱酸化法を用いてSiO₂膜68を20nm程度形成する。さらに、素子分離溝67に充填されるべき充填材SiO₂膜69をCVD法などを用いて例えば1μm程度堆積する。

【0010】その後、図14（e）に示すように、充填材SiO₂膜69を異方性エッチングや研磨などでエッチバックし、多結晶Siをストッパー膜として利用することによって、エッチバックを多結晶Si膜63の高さで止める。そして、図14（f）に示すように、エッチングのストッパーとして用いた多結晶Si膜63を剥離して溝型素子分離部を完成する。最後に、図15に示すように、全体に多結晶Siを堆積することにより、半導体装置を完成する。以上の方法によって形成した溝型素子分離部は、凸形状となり、しかもシリコン基板61の溝開口エッジ部が充填材SiO₂膜69により覆われた形状となるため、この素子分離部を用いたMOSFETでは分離溝開口コーナ部での電界集中が起こり難くするとされる。

【0011】

【発明が解決しようとする課題】以上述べたように、第1の従来例による半導体装置の製造方法では、エッチバック後の充填材表面の高さがシリコン基板と同等またはこれよりより低く設定されるため、溝開口のシリコンエッジ部に電界が集中してしまうことになり、MOSFETのI_D-V_G特性にキルクと呼ばれる異常特性や逆狭チャネル効果などの寄生効果が発生する。一方、第2、第3の従来例のように、エッチバックないし研磨後の充填材表面の高さをシリコン基板よりも高く設定すると、上記の電界集中は回避することができるが、チャネル領域と素子分離領域との境界において大きな段差が生じてしまうため、ゲート電極をパターニングするための写真蝕刻工程において、素子分離領域端部でレジスト膜厚が大きく変化し、チャネル領域と素子分離領域の上でゲート幅が変化する。また、段差部での光の反射によって、レジストが部分的にくびれる、などの問題が起こる。

【0012】よって、本発明の解決すべき課題は、チャネル領域と溝型素子分離領域との境界部において大きな段差を生じさせることなく、溝開口のシリコン基板エッジ部の電界集中を回避することができるようにして、MOSFETの寄生効果の発生を防止することができるとともに、ゲート電極を高精度に加工することができる半導体装置の製造方法を提供することである。

【0013】

【課題を解決するための手段】上述した本発明の課題は、素子分離溝を開口した後、素子分離溝の外側の一部領域のシリコン基板を耐酸化性膜で被覆しない状態で熱酸化を行い、素子分離溝内壁部にSiO₂膜を形成することにより、解決することができる。

【0014】

【発明の実施の形態】本発明による半導体装置の製造方法は、(1) シリコン基板上にパッド酸化膜を介して耐酸化性膜を形成し、素子分離領域を形成する領域の前記耐酸化性膜をエッチング除去して素子分離溝形成用開口を形成する工程と、(2) スペーサ形成材料を堆積し異方性エッチングを行って前記素子分離溝形成用開口の側面にサイドウォール・スペーサを形成する工程と、

(3) 前記耐酸化性膜および前記サイドウォール・スペーサをマスクとして前記シリコン基板を異方性エッチングによりエッチングして素子分離溝を形成する工程と、(4) 熱酸化を行って前記素子分離溝の内壁表面にシリコン酸化膜を形成する工程と、(5) 充填材を堆積し前記素子分離溝内部以外の充填材を除去することにより前記素子分離溝内部を充填材により埋め込む工程と、(6) 前記耐酸化性膜をエッチング除去する工程と、を有し、この順で若しくは前記第(5)の工程と前記第(6)の工程との順序を入れ替えて行うことを特徴としている。

【0015】そして、所望により、前記第(2)の工程の後前記第(3)の工程に先立って、前記耐酸化性膜および前記サイドウォール・スペーサをマスクとして前記シリコン基板を等方性エッチングにより前記シリコン基板を所定の深さまでエッチングする工程を付加することができる。また、所望により、前記第(3)の工程の後前記第(4)の工程に先立って、前記サイドウォール・スペーサ、または、前記サイドウォール・スペーサおよびその下のパッド酸化膜をエッチング除去する工程を付加することができる。そして、好ましくは、前記第

(4)の工程において、溝開口エッジ部に形成される酸化膜の外表面が丸くなる条件で熱酸化が行われる。また、好ましくは、前記耐酸化性膜として窒化シリコン膜が用いられ、前記スペーサ形成材料、および／または、前記充填材として多結晶シリコンまたは酸化シリコンが用いられる。

【0016】〔作用〕上述した本発明による半導体装置の製造方法によれば、シリコン基板上に堆積した耐酸化性膜に素子分離溝形成用開口を形成しこの開口の側面にサイドウォール・スペーサを形成した上で、このサイドウォール・スペーサおよび耐酸化性膜をマスクとしてシリコン基板をエッチングするため、素子分離溝の開口幅は耐酸化性膜の開口の幅よりも小さくなる。シリコン基板をエッチングして素子分離溝を形成した後に熱酸化を行なうと、溝開口のシリコンエッジ部では、溝開口側面と基板表面側から酸化が進むため、溝内の他の領域よりも厚い酸化膜が形成される。この場合に、熱酸化に先立ってサイドウォール・スペーサおよびパッド酸化膜を除去しておくことにより、シリコン基板エッジ部の酸化膜をより確実に厚く形成することができる。これにより、充填材をエッチバック後の充填材表面の高さをシリコン基板表面と同程度若しくはこれよりも低く設定してもエ

ッジ部での電界集中が避けられる。また、溝型素子分離部の表面に大きな段差が形成されることがなくなるので、フォトリソグラフィ工程が容易となり、また高精度のパターニングが可能になる。

【0017】

【実施例】次に、本発明の実施例について図面を参照して説明する。

〔第1の実施例〕図1から図3は本発明の第1の実施例のプロセスを説明するための工程順の断面図である。まず、図1(a)に示すように、シリコン基板1上に、パッド酸化膜となる SiO_2 膜2を10nm程度の膜厚に熱酸化法によって形成し、その上に、例えば窒化 Si 膜3を100nm程度の膜厚にCVD法などによって堆積する。次に、写真蝕刻法などを用いて窒化 Si 膜3を所定の形状にパターニングする。

【0018】次に、図1(b)に示すように、全面に例えば SiO_2 膜4を100nm程度の膜厚にCVD法などによって堆積する。次に、図1(c)に示すように、異方性エッチングによって SiO_2 膜4および SiO_2 膜2をエッチバックすることにより、窒化 Si 膜3の側壁にサイドウォール・スペーサ5を形成する。次に、図2(d)に示すように、窒化 Si 膜3とサイドウォール・スペーサ5をマスクとして、シリコン基板1を異方性エッチングを用いて、例えば300nm程度の深さに、素子分離溝6を形成する。次に、図2(e)に示すように、サイドウォール・スペーサ5を除去し、シリコン基板表面を露出させる。除去する方法としては、ウェットエッチングなどの等方性エッチングを用いるのが一般的である。

【0019】次に、図2(f)に示すように、熱酸化を行って素子分離溝6内壁に SiO_2 膜7を形成する。このとき、溝開口エッジ部8では、溝開口側面と基板表面側から酸化が進むため、トレンチ内の他の領域よりも厚い酸化膜が形成される。熱酸化においては、980℃から1100℃程度の比較的高温で行った方が、エッジ部8での酸化膜外表面が丸くなり、窒化 Si 膜3下に入るバンプピークを抑えることができる。また、サイドウォール・スペーサ5における酸化種の透過率が窒化膜3におけるそれよりも高い場合には、素子分離溝6内を熱酸化する工程は、図2(e)に示したサイドウォール・スペーサを除去する工程の前に行なってもよい。

【0020】次に、図3(g)に示すように、CVD法により全面に充填材 SiO_2 膜9を例えば1 μm 程度の膜厚に堆積して、素子分離溝6内を充填材 SiO_2 膜9で完全に埋設した後、充填材 SiO_2 膜9を、異方性エッチングやCMPなどにより表面高さが基板面と一致する程度乃至それより幾分低くなるように除去する。次に、図3(h)に示すように、窒化 Si 膜3を除去することによって、最終的に溝型素子分離部が形成される。次に、図3(i)に示すように、MOSFETのしきい

値を合わせ込むためのイオン注入工程を経た後に、一旦、表面に露出した SiO_2 膜2を除去し、ゲート酸化膜10を熱酸化によって例えば10nm程度の膜厚に形成する。そして、ゲート電極となるべき多結晶 Si 膜11を例えば200nm程度の膜厚に堆積した後、所定の形状にパターニングする。

【0021】[第2の実施例] 図4から図7は、本発明の第2の実施例のプロセスを説明するための工程順の断面図である。まず、図4(a)に示すように、シリコン基板21上に、例えば熱酸化法によって SiO_2 膜22を10nm程度の膜厚に形成し、その上に例えば窒化 Si 膜23を100nm程度の膜厚にCVD法などによって堆積する。次に、写真蝕刻法などを用いて窒化 Si 膜3を所定の形状にパターニングする。

【0022】次に、図4(b)に示すように、全面に例えば SiO_2 膜24を100nm程度の膜厚にCVD法などによって堆積する。次に、図4(c)に示すように、異方性エッチングによって SiO_2 膜24および SiO_2 膜22をエッチバックすることにより、窒化 Si 膜23の側壁にサイドウォール・スペーサ25を形成し、スペーサ間のシリコン基板表面を露出させる。次に、図5(d)に示すように、等方性のエッチングを用いて、露出したシリコン基板21を表面から例えば50nm程度エッチングし、浅溝部26を形成する。このエッチング方法としては、CDE (Chemical Dry Etching) 法やウェットエッチング法などが挙げられる。

【0023】次に、図5(e)に示すように、窒化 Si 膜3とサイドウォール・スペーサ25をマスクとして、シリコン基板21を異方性エッチングを用いて例えば300nm程度の深さにエッチングして、開口部のエッジが削られた素子分離溝27を形成する。次に、図5

(f)に示すように、サイドウォール・スペーサ25を除去する。除去する方法としては、ウェットエッチングなどの等方性エッチングを用いるのが一般的である。次に、図6(g)に示すように、熱酸化を行って素子分離溝27内壁に SiO_2 膜28を形成する。熱酸化においては、980℃から1100℃程度の比較的高温で行った方が溝内のエッジ部の酸化膜外面がより丸くなり、窒化 Si 膜23下に入るバズピークを抑えることができる。また、サイドウォール・スペーサ25における酸化種の透過率が窒化 Si 膜23におけるそれより高い場合には、素子分離溝27内を熱酸化する工程は、図5(f)に示したサイドウォール・スペーサを除去する工程の前に行ってもよい。

【0024】次に、図6(h)に示すように、CVD法により全面に充填材 SiO_2 膜29を例えば1 μm 程度の膜厚に堆積して、素子分離溝27内を充填材 SiO_2 膜29で完全に埋設した後、充填材 SiO_2 膜29を、異方性エッチングやCMPなどによりその表面高さが基

板表面と一致する程度乃至これより幾分低くなるように除去する。次に、図6(i)に示すように、窒化 Si 膜23を除去することによって、最終的に溝型素子分離部が形成される。次に、図7に示すように、MOSFETのしきい値を合わせ込むためのイオン注入工程を経た後に、一旦、表面に露出した SiO_2 膜22を除去し、ゲート酸化膜30を熱酸化によって例えば10nm程度の膜厚に形成する。そして、ゲート電極を形成するための多結晶 Si 膜31を例えば200nm程度の膜厚に堆積した後、所定の形状にパターニングする。

【0025】以上好ましい実施例について説明したが、本発明はこれら実施例に限定されるものではなく、特許請求の範囲に記載された範囲内において適宜の変更が可能なるものである。例えば、サイドウォール・スペーサを形成する材料や素子分離溝を充填する材料としては SiO_2 に代え、多結晶シリコンを用いることができる。また、素子分離溝を埋め込むための充填材の堆積とエッチバック（または研磨）は窒化 Si 膜3(23)の除去後に行ってもよい。

【0026】

【発明の効果】以上説明したように、本発明の半導体装置の製造方法は、素子分離溝の外側の一部領域のシリコン基板を耐酸化性膜で被覆しない状態で熱酸化を行を行うものである。素子分離溝エッジ部の酸化膜を厚く形成することができ、充填材をエッチバックした後の充填材表面の高さをシリコン基板と同程度あるいはそれよりも低く設定してもエッジ部での電界集中が避けられることができる。したがって、本発明によれば、ゲート電極加工時のリソグラフィ工程での加工誤差の発生を抑制しつつ、MOSFETの $I_D - V_G$ 特性におけるキンクや逆狭チャネル効果などの寄生効果を生じさせないようにすることができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施例に係る半導体装置の製造方法を示す工程順断面図の一部。

【図2】 本発明の第1の実施例に係る半導体装置の製造方法を示す、図1の工程に続く工程での工程順断面図の一部。

【図3】 本発明の第1の実施例に係る半導体装置の製造方法を示す、図2の工程に続く工程での工程順断面図。

【図4】 本発明の第2の実施例に係る半導体装置の製造方法を示す工程順断面図の一部。

【図5】 本発明の第2の実施例に係る半導体装置の製造方法を示す、図4の工程に続く工程での工程順断面図の一部。

【図6】 本発明の第2の実施例に係る半導体装置の製造方法を示す、図5の工程に続く工程での工程順断面図の一部。

【図7】 本発明の第2の実施例に係る半導体装置の製

造方法を示す、図6の工程に続く工程での断面図。

【図8】 第1の従来例に係る半導体装置の製造方法を示す工程順断面図の一部。

【図9】 第1の従来例に係る半導体装置の製造方法を示す、図8の工程に続く工程での工程順断面図。

【図10】 第1の従来例の製造方法により形成されたMOSFETの I_D-V_G 特性図。

【図11】 第1の従来例の製造方法により形成されたMOSFETのしきい値電圧とチャネル幅の関係を表す特性図。

【図12】 第2の従来例に係る半導体装置の製造方法を示す工程順断面図。

【図13】 第3の従来例に係る半導体装置の製造方法を示す工程順断面図の一部。

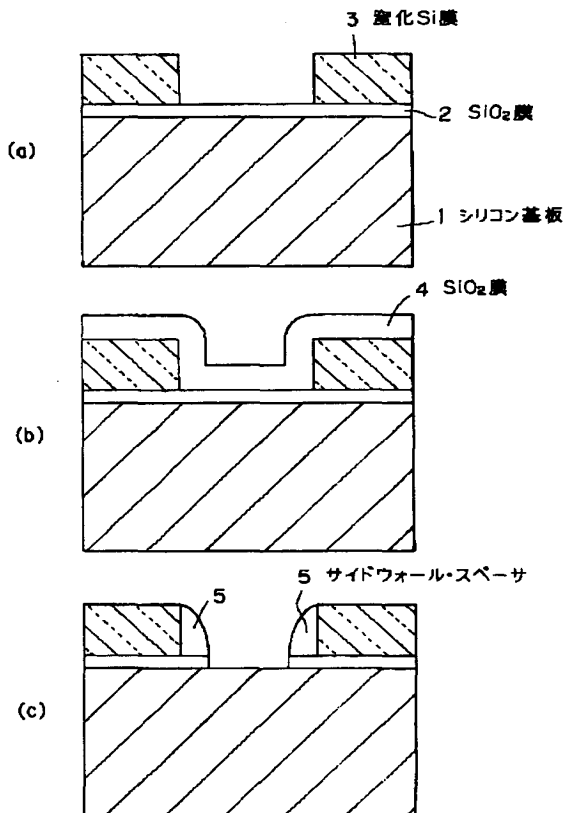
【図14】 第3の従来例に係る半導体装置の製造方法を示す、図13の工程に続く工程での工程順断面図の一部。

【図15】 第3の従来例に係る半導体装置の製造方法を示す、図14の工程に続く工程での工程順断面図。

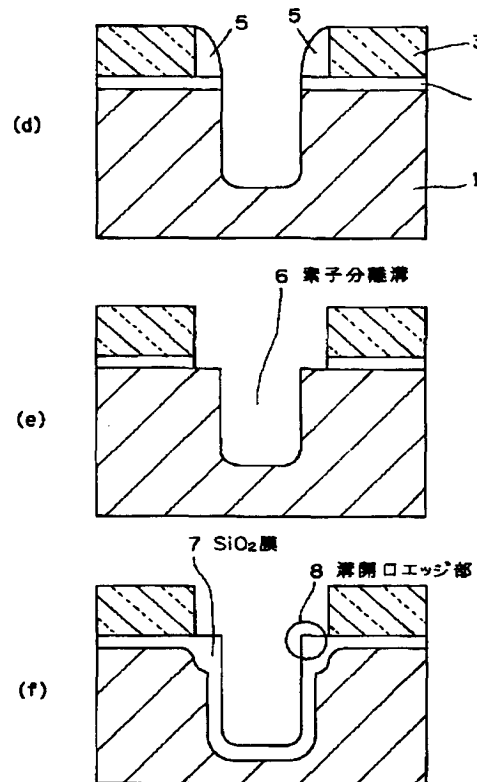
【符号の説明】

- 1、21、31、41、51、61 シリコン基板
- 2、4、7、8、22、24、28、32、42、45、52、55、62、64、68 SiO_2 膜
- 3、23、43、53 窒化Si膜
- 5、25 サイドウォール・スペーサ
- 6、27、44、67 素子分離溝
- 8、46 溝開口エッジ部
- 9、29、47、57、69 充填材 SiO_2 膜
- 10、30、48、58 ゲート酸化膜
- 11、31、49、59、63、70 多結晶Si膜
- 26 浅溝部
- 65 レジスト膜
- 66 多結晶Si膜の後退部

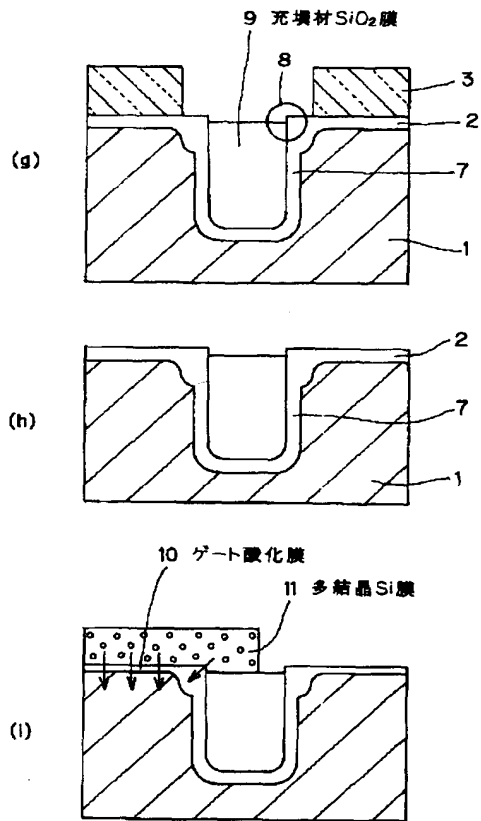
【図1】



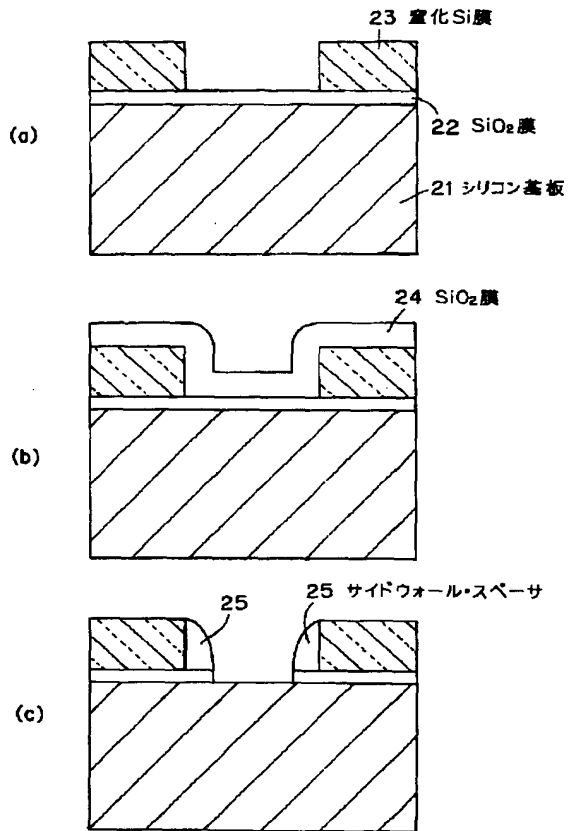
【図2】



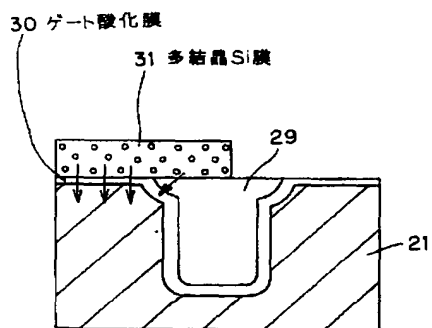
【図3】



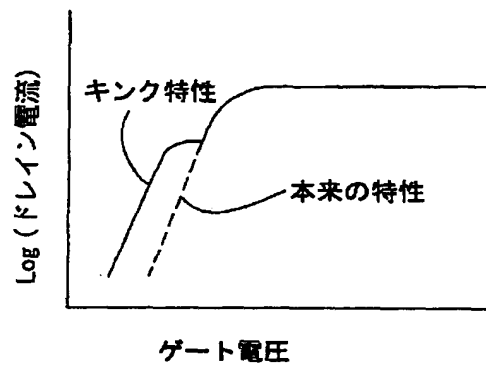
【図4】



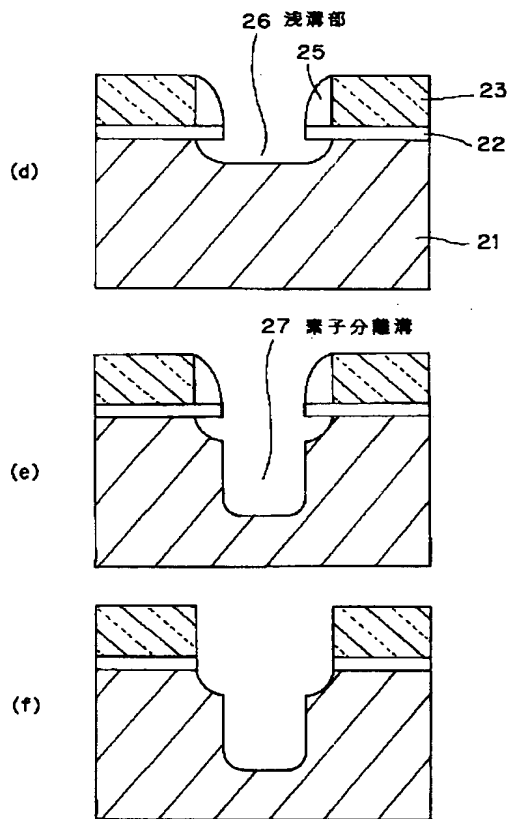
【図7】



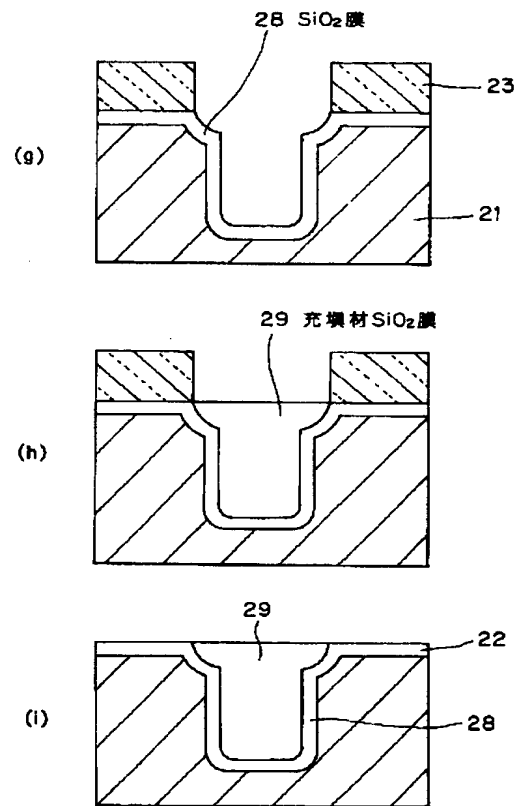
【図10】



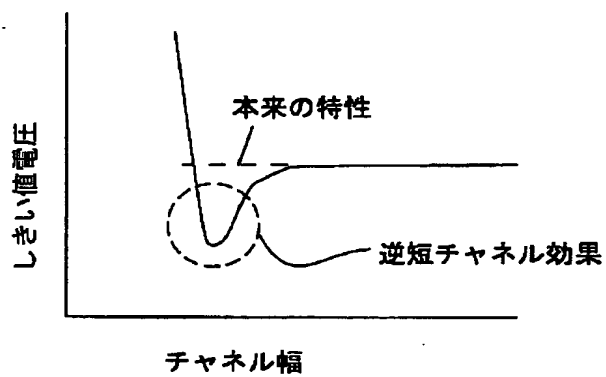
【図5】



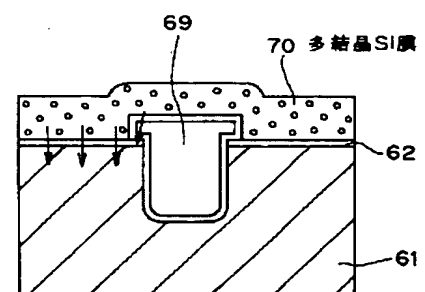
【図6】



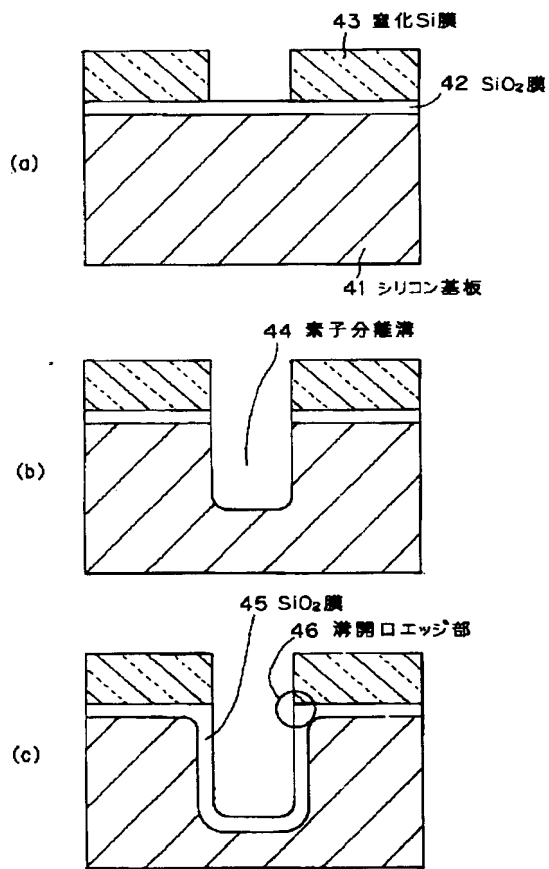
【図11】



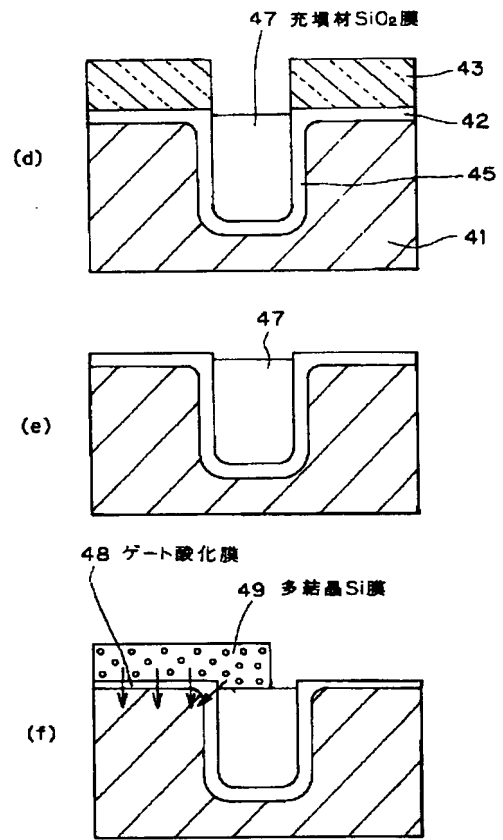
【図15】



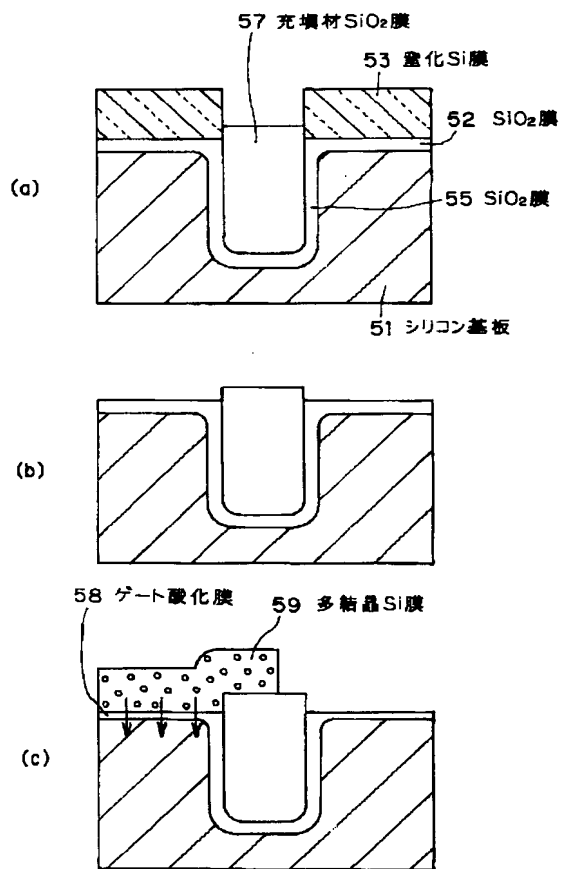
【図8】



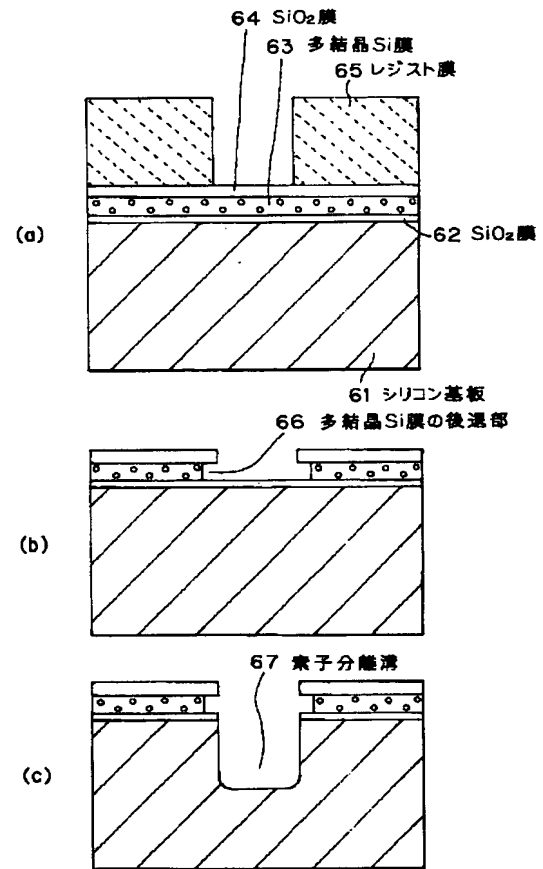
【図9】



【図12】



【図13】



【図14】

